

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-032329

(43)Date of publication of application : 03.02.1998

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 08-184426

(71)Applicant : NEC CORP

(22)Date of filing : 15.07.1996

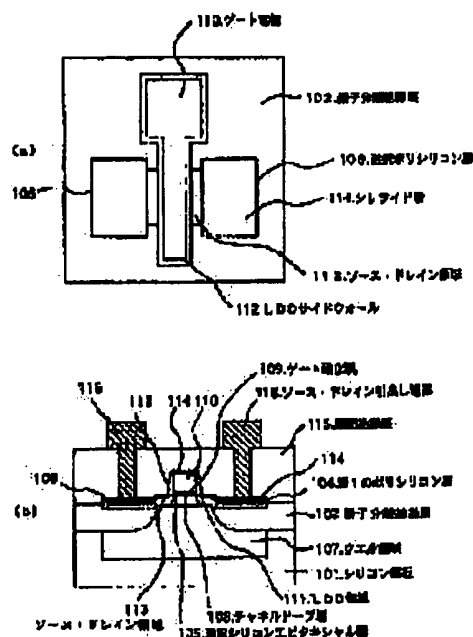
(72)Inventor : SUZUKI HISAMITSU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the deterioration of transistor characteristics and to obtain normal transistor characteristics by a method in which a source/drain lead-out electrode is connected to the silicide layer formed on the surface of a selective silicon layer.

SOLUTION: A selective silicon epitaxial layer 105 is provided on the surface of the silicon substrate 101 of a well region 107, and a gate electrode 110 is formed through a gate oxide film 109. An LLO side wall 112 is formed on the side face of the gate electrode 110 and a titanium silicide layer 114 is formed on the upper surface of the gate electrode 110. The selective silicon epitaxial layer 105 comes in contact with the first polysilicon layer 104, which is formed in a laminated state, and a selective polysilicon layer 106, and the surface or the selective silicon epitaxial layer 105 is formed higher than the surface of the selective polysilicon layer 106 or in the same height. As a result, the excellent DC characteristics of a MOS transistor can be obtained in an excellent reproducible manner.



LEGAL STATUS

[Date of request for examination] 15.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2850861

[Date of registration] 13.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32329

(43) 公開日 平成10年(1998) 2月3日

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 S
21/336				3 0 1 Y

審査請求 有 請求項の数7 O L (全 10 頁)

(21) 出願番号 特願平8-184428

(22) 出願日 平成8年(1996) 7月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 鈴木 久満

東京都港区芝五丁目7番1号 日本電気株式会社内

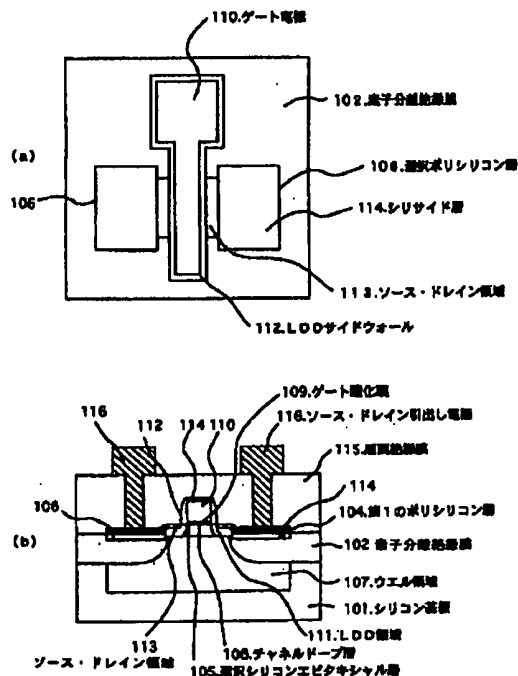
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MOS型トランジスタでソース・ドレインをポリシリ引出し電極構造とした際に、ポリシリ引出し電極が、オーバーハング形状となりトランジスタのオン電流が減るのを防ぐ。

【解決手段】 MOS型トランジスタでソース・ドレインのポリシリ引出し電極の表面が、チャネル領域の選択成長によるシリコンエピタキシャル領域の表面よりも同じ、もしくは低くする。このことによって、ポリシリ引出し電極が、オーバーハング形状となりポリシリ引出し電極中に高抵抗領域ができるのを防ぎ、トランジスタのオン電流の減少を防ぐ。



【特許請求の範囲】

【請求項1】 表面にシリコンもしくはシリコンエピタキシャル層を有する半導体基板上に素子領域と前記素子領域を挟んで隣接した領域の表面が前記半導体基板表面よりも低い素子分離絶縁膜と、前記素子領域の前記半導体基板の表面に形成された選択シリコンエピタキシャル層と、前記半導体基板表面よりも表面が低い素子分離絶縁膜上に形成されたポリシリコン層と前記シリコンエピタキシャル層に接続され、前記ポリシリコン層上に形成された選択ポリシリコン層と、前記選択シリコンエピタキシャル層の上に形成されたゲート絶縁膜及びゲート電極と、前記ゲート電極の側面に形成された側壁酸化膜と、前記選択シリコンエピタキシャル層に形成された不純物ドーパ領域と、少なくとも前記選択シリコンエピタキシャル層を含む領域に形成されたソース・ドレイン領域と、前記ゲート電極、選択ポリシリコン層、及び選択シリコンエピタキシャル層の表面に各々形成されたシリサイド層と、前記選択ポリシリコン層の表面に形成されたシリサイド層に接続されるソース・ドレインの各引き出し電極とを備えることを特徴とする半導体装置。

【請求項2】 表面にシリコンもしくはシリコンエピタキシャル層を有する半導体基板上に素子領域と、前記素子領域に隣接し、表面全体が、前記半導体基板表面よりも低い素子分離絶縁膜と、前記素子領域の半導体基板表面に形成された選択シリコンエピタキシャル層と、前記素子領域に隣接した素子分離絶縁膜上に形成されたポリシリコン層と前記選択シリコンエピタキシャル層に接続され、前記ポリシリコン層上に形成された選択ポリシリコン層と、前記選択シリコンエピタキシャル層上に形成されたゲート絶縁膜及びゲート電極と、前記ゲート電極の側面に形成された側壁酸化膜と、前記選択シリコンエピタキシャル層端部に形成された不純物ドーパ領域と、少なくとも前記選択シリコンエピタキシャル層を含む領域に形成されたソース・ドレイン領域と、前記ゲート電極、選択ポリシリコン層、及び選択シリコンエピタキシャル層の表面に各々形成されたシリサイド層と、前記選択ポリシリコン層の表面に形成されたシリサイド層に接続されるソース・ドレインの各引き出し電極とを備えることを特徴とする半導体装置。

【請求項3】 前記選択シリコンエピタキシャル層の表面位置が、前記ポリシリコン層表面に成長した選択ポリシリコン層の表面位置よりも高い、もしくは同じであることを特徴とする請求項1または2の半導体装置。

【請求項4】 前記選択シリコンエピタキシャル層の表面位置が、前記ポリシリコン層表面に成長した選択ポリシリコン層の表面位置よりも低く、前記ポリシリコン層の断面が、上底とこの上底より長い下底と、直線もしくは曲線で構成された側面とからなる台形状であることを特徴とする請求項1または2の半導体装置。

【請求項5】 ゲート電極直下の選択シリコンエピタキ

シャル層には、ソースとドレインのバンチスルーを防ぐのに十分な不純物濃度のチャネルドーパ層が設けられる請求項1または2の半導体装置。

【請求項6】 半導体基板に素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜の素子領域に隣接した前記素子分離絶縁膜の一部を前記半導体基板表面よりも窪ませる工程と、前記素子領域に形成するソース・ドレインに隣接する前記半導体基板表面よりも窪んだ領域を含む前記素子分離絶縁膜上にポリシリコン層を選択的に形成する工程と、前記素子領域に選択的にシリコンエピタキシャル層を成長し、かつこれと同時に前記ポリシリコン層上に選択ポリシリコン層を成長する工程と、前記素子領域にゲート絶縁膜およびゲート電極を形成する工程と、前記素子分離絶縁膜とゲート電極をマスクとして不純物を注入してLDD領域を形成する工程と、前記ゲート電極の側壁にLDDサイドウォールを形成する工程と、このLDDサイドウォールをマスクとして不純物を注入してソース・ドレイン領域を形成する工程と、前記ゲート電極、ソース・ドレインを形成した選択シリコンエピタキシャル層、及び選択ポリシリコン層の表面をシリサイド化する工程と、全面に層間絶縁膜を形成し、この層間絶縁膜に設けた開口を通して前記選択ポリシリコン層に接続されるソース・ドレインの引出し電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板に素子領域を画成する素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜に画成された素子領域の前記半導体基板表面にのみ選択的に第1のシリコンエピタキシャル層を成長する工程と、前記素子領域両端部に隣接する前記素子分離絶縁膜上にポリシリコン層を選択的に形成する工程と、前記素子領域の前記第1のシリコンエピタキシャル層上に選択的に第2のシリコンエピタキシャル層を成長し、かつこれと同時に前記ポリシリコン層上に選択ポリシリコン層を成長する工程と、前記素子領域にゲート絶縁膜およびゲート電極を形成する工程と、前記素子分離絶縁膜とゲート電極をマスクとして前記素子領域の端部に不純物を注入してLDD領域を形成する工程と、前記ゲート電極の側壁にLDDサイドウォールを形成する工程と、このLDDサイドウォールをマスクとして不純物を注入して、ソース・ドレイン領域を形成する工程と、前記ゲート電極、及び選択ポリシリコン層の表面をシリサイド化する工程と、全面に層間絶縁膜を形成し、この層間絶縁膜に設けた開口を通して前記選択ポリシリコン層に接続されるソース・ドレインの引出し電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関わり、特にMOS型トランジスタの構造及び製造方法に関

する。

【0002】

【従来の技術】トランジスタの微細化に伴って、トランジスタの動作速度の向上が計られてきた。近年では、ゲート長が $0.25\mu\text{m}$ 以下のMOS型トランジスタが開発されている。しかしながら、ゲート長の微細化に比べ、1)コンタクトサイズ、2)コンタクトとゲートとの距離、3)コンタクトと素子分離絶縁膜との距離は、ゲート寸法の縮小率ほど小さくすることができず、ソース及びドレイン拡散層面積を縮小することが難しくなっている。この結果、ソース・ドレイン拡散層容量の充放電時間がトランジスタ動作スピードに占める割合が大きくなり高速化の妨げとなっている。この問題を解決する方法が、特願平7-353482により提案されている。

【0003】特願平7-353482に示されたこの関連技術によるMOSトランジスタの構造及び製造方法を図面を参照して簡単に説明する。

【0004】まず、この関連技術によるMOSトランジスタの構造を平面レイアウトと断面構造を利用して簡単に説明する。図6(a)及び図6(b)はそれぞれ関連技術によるMOSトランジスタの平面レイアウトと断面構造を示したものである。

【0005】図6(b)に示したように、関連技術によるMOSトランジスタの構造は、第1導電型のシリコン基板1上に第1導電型もしくは第1導電型と逆導電型のウエル領域7を持つ。このウエル領域7のシリコン基板1表面には、MOSトランジスタが形成されるが、素子分離絶縁膜2によって電気的に分離されている。

【0006】ウエル領域7のシリコン基板1表面上には、選択シリコンエピタキシャル層5があり、ゲート酸化膜9を介してゲート電極10がある。

【0007】このゲート電極10の側面にはLDDサイドウォール12が、さらに上面にはTiSi(チタンシリサイド)層14がある。

【0008】前記の選択シリコンエピタキシャル層5は、積層状態に形成されている第1のポリシリコン層4と選択ポリシリコン層6に接続し、これらは、MOSトランジスタのチャネルドープ層8、LDD領域11、ソース・ドレイン領域13を形成している。

【0009】また、ゲート電極10の直下にはチャネルドープ層8が、LDDサイドウォール12直下にはLDD領域11が、LDDサイドウォール12の外側と素子分離絶縁膜との間にソース・ドレイン領域13がそれぞれ形成している。

【0010】また、選択ポリシリコン層6の表面にTiSi層14が形成され、全面に層間絶縁膜15が形成され、これに設けたコンタクトが前記ソース・ドレイン電極に接続されてソース・ドレインの各引き出し電極16として構成される。

【0011】次に、図7、8、9は関連技術による一連のMOSトランジスタの製造方法を示したものである。

【0012】まず、図7(a)に示すように、シリコン基板1上に素子分離のための絶縁膜2を形成し、その後、膜厚 $5\sim 20\text{nm}$ のシリコン酸化膜3を形成する。さらに、全面に $50\sim 100\text{nm}$ の第1のポリシリコン層4を成長する。

【0013】次に、図7(b)に示すように、フォトリソグラフィ工程により、前記第1のポリシリコン層4をパターンニングする。この時第1のポリシリコン層4は、図7(c)の平面図に示すように、素子分離酸化膜2とトランジスタを形成する素子領域の境界に沿ってソース・ドレイン形成領域に隣接した形で、かつゲート電極10に対して平行となるように素子分離絶縁膜2上にパターンニングされる。この時、素子分離絶縁膜2のエッジに対し、第1のポリシリコン層4のエッジは $0\sim 0.1\mu\text{m}$ 内側に設定する。尚、シリコン酸化膜3は第1のポリシリコン層4をエッチングする際のストッパの役目を果たす。

【0014】次に、図8(a)の断面図と図8(b)の平面図に示したように、シリコン酸化膜3をウェットエッチング液等で取り除いた後、シリコン基板1の表面に選択的にシリコンエピタキシャル層5を成長する。成長膜厚は $30\sim 100\text{nm}$ である。この時同時に、第1のポリシリコン層4の表面及び周辺に選択ポリシリコン層6が成長する。第1のポリシリコン層4上に成長する選択ポリシリコン層6の成長膜厚は前記シリコンエピタキシャル層5の成長膜厚の $1/2$ から $1/4$ 程度となる。これは、シリコン基板表面が、 $\langle 100 \rangle$ 面なのに対し、ポリシリコンでは、 $\langle 111 \rangle$ 面配向が支配的であり、 $\langle 111 \rangle$ 面のシリコン成長速度が $\langle 100 \rangle$ 面に比し遅いためである。シリコン基板1の表面に選択的に成長したシリコンエピタキシャル層5は、第1のポリシリコン層4の側面及び選択ポリシリコン層6とつながった構造を得ることができる。

【0015】次に、図8(c)に示すように、フォトリソグラフィをマスクにしてイオン注入を行ってウエル領域7を形成し、さらに閾値制御用のイオン注入を行ってチャネルドープ層8を形成する。続いて、図9(a)に示すように、前記シリコンエピタキシャル層5、選択ポリシリコン層6の表面に膜厚 $3\sim 10\text{nm}$ のゲート酸化膜9を形成した後、このゲート酸化膜9の上に膜厚 $10\sim 20\text{nm}$ のポリシリコンからなるゲート電極10を形成する。このとき、図9(b)の平面図に示すように、ゲート電極10と素子分離絶縁膜2との距離は $0.05\sim 0.4\mu\text{m}$ 程度に設定する。

【0016】次に、図9(c)に示すように、低濃度に不純物を注入してLDD領域11を形成した後、ゲート電極の側面にサイドウォール12を形成し、さらにソース・ドレイン形成のためイオン注入を行った後、活性化

の熱処理を行ってソース・ドレイン領域13を形成する。しかる上で、図1に示したように、シリサイド、ここではT i S iをスパッタ形成した後、シンタリングを行って、ゲート電極10の表面、選択ポリシリコン層6及びその下に位置する第1のポリシリコン層4の表面、さらにソース・ドレイン領域13の表面をシリサイド化する。その後、層間絶縁膜15を形成し、これに開口を設けた上でソース・ドレインの各引き出し電極16を形成することによりMOS型トランジスタが完成される。

【0017】

【発明が解決しようとする課題】上述の関連技術の実施例の図8(a)において、シリコン基板1の表面に選択的にシリコンエピタキシャル層5を成長する際に、第1のポリシリコン層4の表面に選択ポリシリコン層6が成長するが、第1のポリシリコン層4の表面を覆っている選択ポリシリコン層6の断面形状が、図10に示したようにオーバーハング形状となることがある。このような形状になると、低濃度に不純物を注入してLDD領域11を形成した際に、イオン注入の未注入による高抵抗領域11Aが生じ、その部分の抵抗が高くなるため、図11(a)に示したような、トランジスタ特性の劣化が見られるといった問題点がある。

【0018】本発明の目的は、選択ポリシリコン層6の断面形状がオーバーハング形状となるのを防ぐことによって、トランジスタ特性の劣化を防ぎ、図11(b)に示した正常なトランジスタ特性を得ることにある。

【0019】

【課題を解決するための手段】本発明の半導体装置は、素子領域を画成する素子分離絶縁膜と、表面にシリコンもしくはシリコンエピタキシャル層を有する半導体基板と、前記素子分離絶縁膜の素子領域に隣接した前記素子分離絶縁膜の表面の一部が、前記半導体基板表面よりも下がっていて、前記素子領域の半導体基板の表面に形成された選択シリコンエピタキシャル層と、前記半導体基板表面に形成されて前記選択シリコンエピタキシャル層に接続されるポリシリコン層および選択ポリシリコン層と、前記選択シリコンエピタキシャル層の上に形成されたゲート絶縁膜及びゲート電極と、前記ゲート電極の側面にLDDサイドウォールを有し、前記選択シリコンエピタキシャル層に形成されたLDD領域と、少なくとも前記選択シリコンエピタキシャル層を含む領域に形成されたソース・ドレイン領域と、前記ゲート電極、選択ポリシリコン層、及び選択シリコンエピタキシャル層の表面に形成されたシリサイド層と、前記選択ポリシリコン層のシリサイドに接続されるソース・ドレインの各引き出し電極とを備える。

(作用)素子領域に隣接する素子分離絶縁膜表面の一部に窪みをつける、もしくは素子領域表面を素子分離絶縁膜表面よりも高くし、第1のポリシリコン層を形成することによって、選択エピタキシャル層の成長時に、第1

のポリシリコン層の表面に成長した選択ポリシリコン層の表面位置を、選択エピタキシャル層の表面位置と同じ、もしくは低くすることができ、選択ポリシリコン層の形状がオーバーハング形状となるのを防ぐことができる。

【0020】また、第1のポリシリコン層の断面形状が、上底と下底では上底の長さの方が短く、両側面が直線もしくは曲線で構成されるように形成すると、選択エピタキシャル層の成長時に、第1のポリシリコン層の表面に成長した選択ポリシリコン層の表面位置が、選択エピタキシャル層の表面位置よりも高くなっても、選択ポリシリコン層の形状がオーバーハング形状となるのを防ぐことができる。

【0021】これらのことによってLDD注入やソース・ドレイン形成のためのSD注入の際に、このオーバーハング形状の部分にイオン注入の未注入による高抵抗領域ができるのを防ぐことができ、良好なトランジスタ特性を得ることができる。

【0022】

【発明の実施の形態】まず、本発明の第1の実施の形態によるMOSTランジスタの構造を平面レイアウトと断面構造を利用して説明する。

【0023】図1(a)及び(b)はそれぞれ本発明の第1の実施の形態に基づく第1の実施例によるMOSTランジスタの平面レイアウトと断面構造を示したものである。

【0024】第1導電型のシリコン基板101上に第1導電型もしくは第1導電型と逆導電型のウエル領域107を持つ。このウエル領域107のシリコン基板101表面には、MOSTランジスタが形成されるが、素子分離絶縁層102によって電気的に分離されている。

【0025】ウエル領域107のシリコン基板101表面上には、選択シリコンエピタキシャル層105があり、ゲート酸化膜109を介してゲート電極110がある。

【0026】このゲート電極110の側面にはLDDサイドウォール112が、さらに上面にはT i S i(チタンシリサイド)層114がある。

【0027】前記の選択シリコンエピタキシャル層105は、積層状態に形成されている第1のポリシリコン層104と選択ポリシリコン層106に接続しているが、前記の、選択シリコンエピタキシャル層105の表面の方が、前記の選択ポリシリコン層106の表面よりも高くなっているか、もしくは、表面が同じ高さとなっている。そして、これらはMOSTランジスタのチャネルドープ層108、LDD領域111、ソース・ドレイン領域113を形成している。

【0028】また、ゲート電極110の直下にはチャネルドープ層108が、LDDサイドウォール112直下にはLDD領域111が、LDDサイドウォール112

の外側と素子分離絶縁膜との間にソース・ドレイン領域113がそれぞれ形成している。

【0029】また、選択ポリシリコン層106の表面にTiSi層114が形成され、全面に層間絶縁膜115が形成され、これに設けたコンタクトが前記ソース・ドレイン電極に接続されてソース・ドレインの各引き出し電極116として構成される。

【0030】次に、図2(a)～(c)は本発明の第1の実施例によるMOSトランジスタの製造方法の断面図を、また、図3(a)及び(b)はそれぞれ図2(a)及び(b)の平面レイアウトを示したものである。

【0031】まず、図2(a)に示すように、シリコン基板101上に5～20nmの第1のシリコン酸化膜100、10～40nmの窒化膜118を選択的に形成し、公知の方法により素子分離のための絶縁膜102を形成する。次に、フォトレジスト119により開口された領域の酸化膜を50～100nm選択的に除去する。

【0032】この時の平面レイアウトを図3(a)に示す。図3(a)からわかるように窒化膜118に対し、フォトレジストの開口部は119Aに示したように窒化膜118と素子分離酸化膜102上に開口し、かつゲート電極110に対して垂直方向に0～0.1μm内側に設定されている。

【0033】次に、図2(b)に示すように、フォトレジスト119、窒化膜118の除去後、50～100nmの第1のポリシリコン層104を成長し、フォトレジスト122により、前記第1のポリシリコン層104をパターニングする。この時第1のポリシリコン層104は、図3(b)の平面図に示すように、素子分離酸化膜102とトランジスタを形成する素子領域の境界に沿ってソース・ドレイン形成領域に隣接した形で、かつゲート電極110に対して平行となるように素子分離絶縁膜102上にパターニングされる。この時、素子分離絶縁膜102のエッジに対し、第1のポリシリコン層104のエッジは0～0.05μm外側に設定する。尚、シリコン酸化膜103および素子分離絶縁膜102は第1のポリシリコン層104をエッチングする際のストップの役目を果たす。

【0034】次に、図2(c)に示したように、シリコン酸化膜103をウェットエッチング液等で取り除いた後、シリコン基板101の表面に選択的にシリコンエピタキシャル層105を成長する。この時の成長膜厚は30～100nmであり、第1のポリシリコン層104の表面及び周辺に選択ポリシリコン層106が成長する。第1のポリシリコン層104上に成長する選択ポリシリコン層106の成長膜厚は前記シリコンエピタキシャル層105の成長膜厚の1/2から1/4程度となる。これは、シリコン基板表面が、<100>面なのに対し、ポリシリコンでは、<111>面配向が支配的であり、<111>面のシリコン成長速度が遅いためである。シ

リコン基板1の表面に選択的に成長したシリコンエピタキシャル層105は、第1のポリシリコン層104の側面及び選択ポリシリコン層106とつながった構造を得ることができる。

【0035】この選択シリコンエピタキシャル成長は、例えば、基板温度650℃で、ジシランを流量10SCCM、圧力 10^{-3} Torrで10秒照射し、このステップで成長を行い、次に、塩素を流量1SCCM、圧力 10^{-4} Torrで15秒照射し、このステップでエッチングするという2段階のステップを有し、これを何回か繰り返すことにより、シリコン上にはエピタキシャル層を、ポリシリコン層上にはポリシリコン層を、また素子分離絶縁膜上には何も成長させないということが出来る。

【0036】また、図2(c)に示したように、選択シリコンエピタキシャル層105が選択ポリシリコン層106の表面よりも高くなっているため、オーバーハング形状とならず、LDDもしくはソース・ドレイン形成時のSDイオン注入での未注入に起因する高抵抗領域が生じないため、良好なトランジスタ特性が得られる。

【0037】この後、公知の従来技術を用いることによって図1(b)に示した断面構造を得ることができる。

【0038】次に、本発明の第2の実施の形態によるMOSトランジスタの断面構造を説明する。図4は本発明の第2の実施の形態に基づく第2の実施例によるMOSトランジスタの断面構造を示したものである。

【0039】第1導電型のシリコン基板101上に第1導電型もしくは第1導電型と逆導電型のウエル領域107を持つ。このウエル領域107のシリコン基板101表面には、MOSトランジスタが形成されるが、素子分離絶縁膜102によって電気的に分離されている。

【0040】ウエル領域107のシリコン基板101表面上には、第1の選択シリコンエピタキシャル層120と選択シリコンエピタキシャル層105があり、ゲート酸化膜109を介してゲート電極110がある。

【0041】このゲート電極110の側面にはLDDサイドウォール112が、さらに上面にはTiSi(チタンシリサイド)層114がある。

【0042】前記の選択シリコンエピタキシャル層105は、積層状態に形成されている第1のポリシリコン層104と選択ポリシリコン層106に接続しているが、前記の、選択シリコンエピタキシャル層105の表面の方が、前記の選択ポリシリコン層106の表面よりも高くなっているか、もしくは、表面が同じ高さとなっている。そして、これらは、MOSトランジスタのチャネルドープ層108、LDD領域111、ソース・ドレイン領域113を形成している。

【0043】また、ゲート電極110の直下にはチャネルドープ層108が、LDDサイドウォール112直下にはLDD領域111が、LDDサイドウォール112

の外側と素子分離絶縁膜との間にソース・ドレイン領域113がそれぞれ形成している。

【0044】また、選択ポリシリコン層106の表面にT i S i層114が形成され、全面に層間絶縁膜115が形成され、これに設けたコンタクトが前記ソース・ドレイン電極に接続されてソース・ドレインの各引き出し電極116として構成される。

【0045】次に、図5(a)～(d)は本発明の第2の実施例によるMOSトランジスタの製造方法の断面図を示したものである。

【0046】まず、図5(a)に示すように、シリコン基板101上に素子分離のための絶縁膜102を形成する、次に、シリコン基板101の表面を露出して5～100nmの第1の選択シリコンエピタキシャル層120を形成する。

【0047】次に、図5(b)に示すように、酸化により膜厚5～20nmの第1のシリコン酸化膜121を形成する。

【0048】次に、図5(c)に示すように、フォトリソを用いて第1のポリシリコン層104をパターンニングする。

【0049】尚、シリコン酸化膜121および素子分離絶縁膜102は第1のポリシリコン層104をエッチングする際のストッパの役目を果たす。

【0050】次に、図5(d)に示したように、シリコン酸化膜121をウェットエッチング液等で取り除いた後、シリコン基板101の表面に選択的にシリコンエピタキシャル層105を成長する。この時の成長膜厚は30～100nmであり、第1のポリシリコン層104の表面及び周辺に選択ポリシリコン層106が成長する。第1のポリシリコン層104上に成長する選択ポリシリコン層106の成長膜厚は前記シリコンエピタキシャル層105の成長膜厚の1/2から1/4程度となり、シリコン基板1の表面に選択的に成長したシリコンエピタキシャル層105は、第1のポリシリコン層104の側面及び選択ポリシリコン層106とつながった構造を得ることができる。

【0051】この後、公知の従来技術を用いることによって図4に示した断面構造を得ることができる。

【0052】本発明の第2の実施例では、第1のポリシリコン層104を形成する前に、ウエハー表面よりも第1の選択シリコンエピタキシャル層120の膜厚分高く成長させているため、選択シリコンエピタキシャル層105が選択ポリシリコン層106の表面よりも高くすることができ、第1の実施例と同様の効果を得ることができる。

【0053】更に微細なMOSでは、ソースとドレインのパンチスルーを防ぐデルタドープ層を有した構造を用いることがあるが、このデルタドープ層の形成方法としては、例えばNチャネル型MOSトランジスタの場合、

ヒ素又はリン等を数keV～30keVで $5 \times 10^{12} \sim 2 \times 10^{13} \text{ cm}^{-2}$ 注入を行うことにより急峻な不純物プロファイルを有したデルタドープ層を形成しているが、本発明の第2の実施例では、この第1の選択シリコンエピタキシャル層120を、前記のデルタドープ層形成のイオン注入の基板中の濃度に相当するリンもしくはヒ素の不純物を含んだ状態で成長すると、イオン注入を行った場合に比べ、さらに急峻な不純物プロファイルを有したデルタドープ層を形成できることは説明するまでもない。

【0054】また、第1及び第2の実施例では、選択シリコンエピタキシャル層105が、積層状態に形成されている第1のポリシリコン層104と選択ポリシリコン層106に接続し、前記の選択シリコンエピタキシャル層105の表面の方が、前記の選択ポリシリコン層106の表面よりも高くなっているか、もしくは、表面が同じ高さとなる構造を示しているが、図12に示したように、選択シリコンエピタキシャル層105の表面の方が、選択ポリシリコン層106の表面よりも低くなった場合でも、選択シリコンエピタキシャル層を成長する前の、第1のポリシリコン層104の断面形状が、例えば等方性エッチング等によって得られる、上底と下底では上底の長さの方が短く、両側面が直線もしくは曲線で構成された形状となると、オーバーハング形状となるのを防ぐことができる。

【0055】

【発明の効果】本発明の効果は、再現性良く良好なMOSトランジスタのDC特性を得ることができることである。

【0056】第1の理由は、選択エピタキシャル層形成前に、シリコン基板表面の表面を、第1のポリシリコン層の表面よりも高くすることにより、選択エピタキシャル層形成後に、選択ポリシリコン層の表面位置を、選択エピタキシャル層の表面位置と同じ、もしくは低くすることができる。これによって選択ポリシリコン層の断面形状がオーバーハング形状となるのを防ぐことができるからである。

【0057】第2の理由は、第1のポリシリコン層の断面形状が、上底と下底では上底の長さの方が短く、両側面が直線もしくは曲線で構成された形状にすると、選択シリコンエピタキシャル層の表面の方が、選択ポリシリコン層の表面よりも低くなった場合でも、オーバーハング形状となるのを防ぐことができるからである。

【0058】これら第1、第2の理由により、LDD注入やソース・ドレイン形成のためのSD注入の際に、このオーバーハング形状の部分にイオン注入の未注入による高抵抗領域ができるのを防ぐことができるからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための平面図

と断面図である。

【図2】図1のトランジスタの製造方法を工程順に示すための断面図である。

【図3】図2のトランジスタの製造方法を詳細に説明するための平面図である。

【図4】本発明の第2の実施例を説明するための断面図である。

【図5】図4のトランジスタの製造方法を工程順に示すための断面図である。

【図6】従来のトランジスタを説明するための平面図と断面図である。

【図7】従来のトランジスタの製造方法を説明するための平面図と断面図である。

【図8】図7の続き。

【図9】図8の続き。

【図10】従来のトランジスタ構造の問題点を説明するための断面図である。

【図11】従来構造でのトランジスタ特性と、本発明の実施例を適用した構造でのトランジスタ特性。

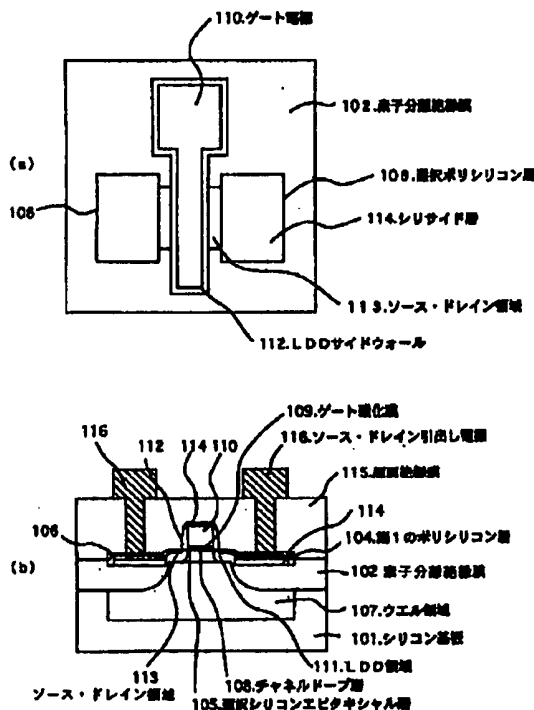
【図12】本発明の第1及び第2の実施例の応用例を説明するための断面図である。

【符号の説明】

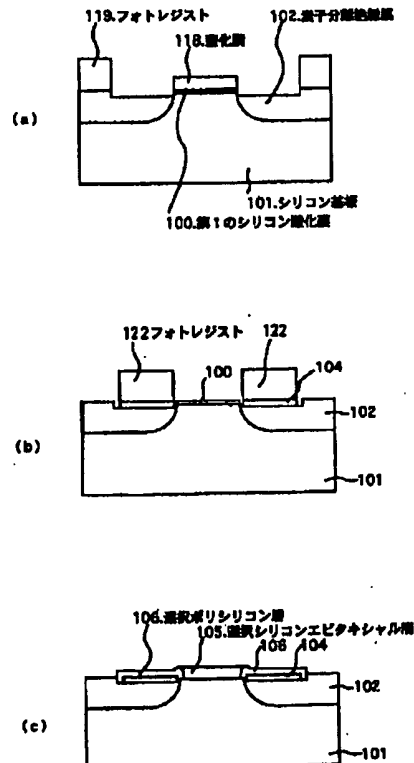
1, 101 シリコン基板

2, 102 素子分離絶縁膜
3, 103 シリコン酸化膜
4, 104 第1のポリシリコン層
5, 105 選択シリコンエピタキシャル層
6, 106 選択ポリシリコン層
7, 107 ウエル領域
8, 108 チャンネルドープ層
9, 109 ゲート酸化膜
10, 110 ゲート電極
11, 111 LDD領域
12, 112 LDDサイドウォール
13, 113 ソース・ドレイン領域
14, 114 シリサイド層
15, 115 層間絶縁膜
16, 116 ソース・ドレイン引出し電極
17, 119, 122 フォトレジスト
11A 高抵抗領域
100 第1のシリコン酸化膜
118 窒化膜
119A フォトレジストの開口部
120 第1の選択シリコンエピタキシャル層
121 シリコン酸化膜

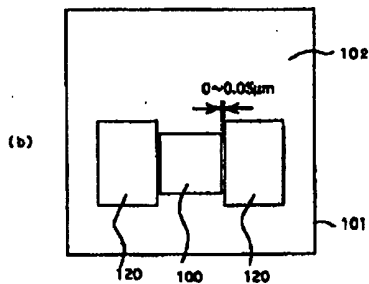
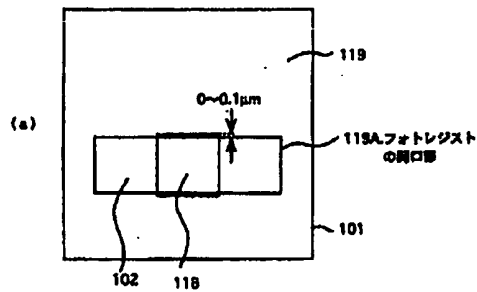
【図1】



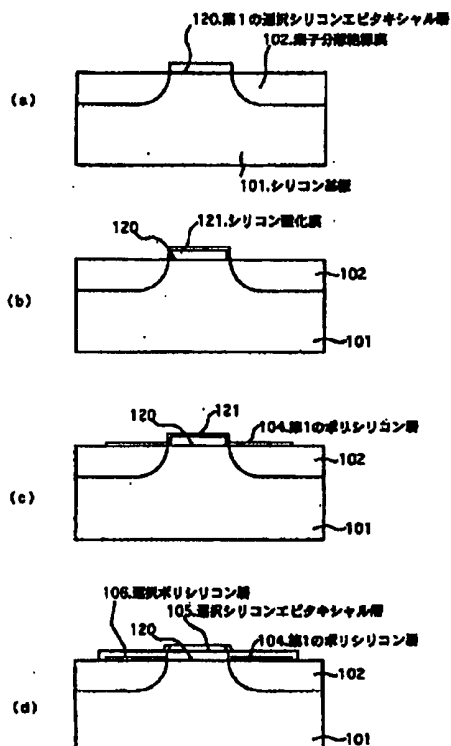
【図2】



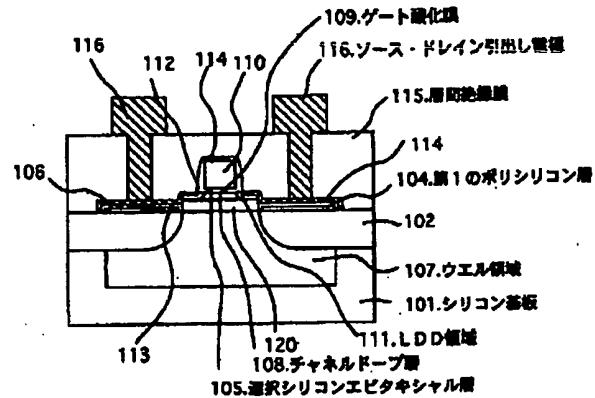
【図3】



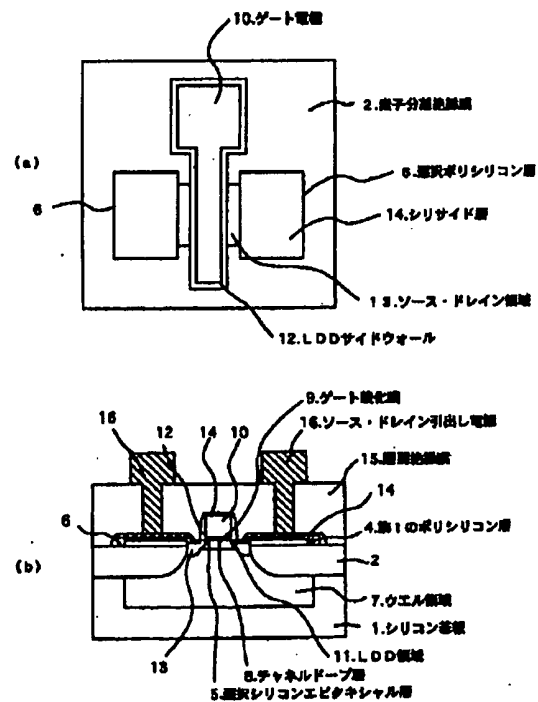
【図5】



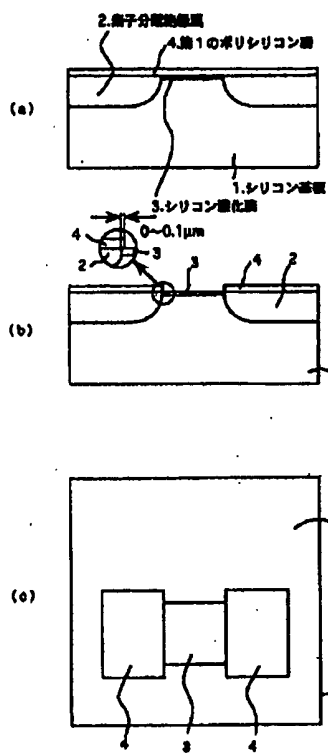
【図4】



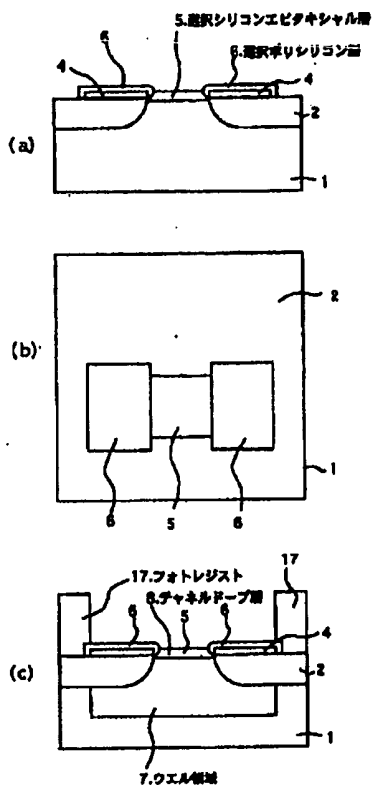
【図6】



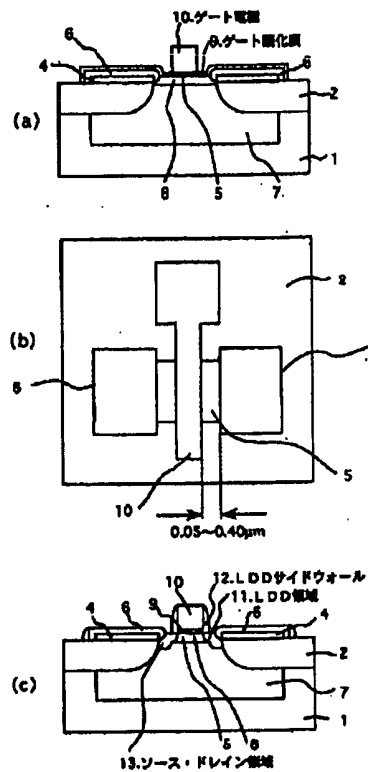
【図7】



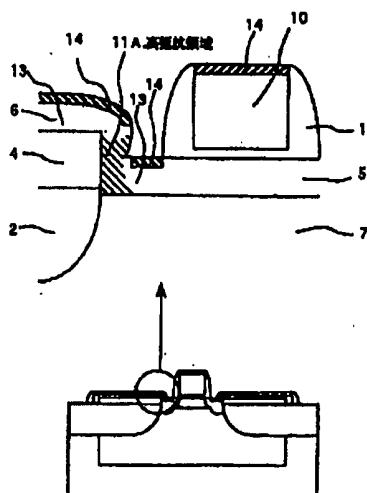
【図8】



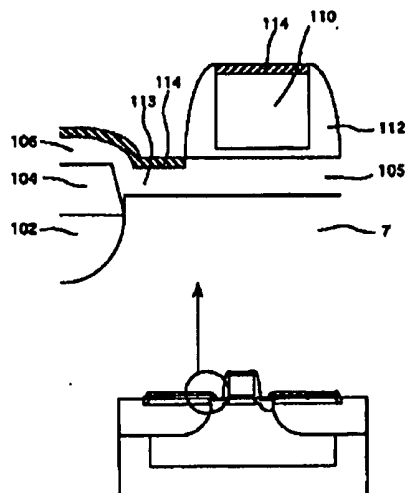
【図9】



【図10】



【図12】



【図11】

